

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

02760155

THIN-FILM SEMICONDUCTOR ELEMENT

PUB. NO.: 01-057755 [JP 1057755 A]

PUBLISHED: March 06, 1989 (19890306)

INVENTOR(s): MIKI AKIRA

APPLICANT(s): SUMITOMO METAL IND LTD [000211] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-215785 [JP 87215785]

FILED: August 28, 1987 (19870828)

INTL CLASS: [4] H01L-029/78; H01L-027/12; H01L-029/40

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 774, Vol. 13, No. 264, Pg. 164, June 19, 1989 (19890619)

#### ABSTRACT

PURPOSE: To decrease OFF current which would flow when a gate electrode is biased negatively, by forming an ohmic contact layer such that a part or all of the layer, contains at least one of carbon, nitrogen and oxygen as a component thereof.

CONSTITUTION: On the surface of a glass substrate 1, there are deposited a gate electrode 2, an insulating film 3 and a semiconductor layer 4 successively in that order. An ohmic contact layer 5 is provided thereon except a region where the gate electrode 2 is present. The layer 5 consists of two layers: the lower layer 5a of N(sup +) a-Si:H, N and the upper layer 5b of N(sup +) a-Si:H, the upper layer 5b being thicker than the lower layer 5a. The ohmic contact layer 5 will be deteriorated in ohmic properties if it contains excessive N atoms. Preferred concentration of N atoms is 30atomic% or below, particularly 10atomic% or below. A protecting film 6 of SiN is formed on the semiconductor layer 4 not covered with the layers 5a and 5b. A drain electrode 7 and a source electrode 8 both having a layered structure consisting of a Cr layer 20 and an Al layer 21 are provided on the ohmic contact layer 5 with an appropriate gap therebetween.

## ⑫ 公開特許公報(A)

昭64-57755

⑤ Int. Cl.<sup>4</sup>H 01 L 29/78  
27/12  
29/40

識別記号

3 1 1

庁内整理番号

P-7925-5F

7514-5F

A-7638-5F 審査請求 未請求 発明の数 1 (全7頁)

④ 公開 昭和64年(1989)3月6日

⑬ 発明の名称 薄膜半導体素子

⑭ 特 願 昭62-215785

⑮ 出 願 昭62(1987)8月28日

⑯ 発 明 者 三 城 明 兵庫県尼崎市西長洲本通1丁目3番地 住友金属工業株式  
会社総合技術研究所内

⑰ 出 願 人 住友金属工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑱ 代 理 人 弁理士 河野 登夫

## 明 細 書

## 1. 発明の名称 薄膜半導体素子

## 2. 特許請求の範囲

1. 水素が添加された非晶質シリコンからなる半導体層上に積層形成されたオーミックコンタクト層を備えた薄膜半導体素子において、前記オーミックコンタクト層は、その一部または全部に炭素、窒素または酸素のうち少なくとも一種の原子が構成原子として含有されていることを特徴とする薄膜半導体素子。
2. オーミックコンタクト層に含有される炭素、窒素または酸素の原子の含有率が30原子%以下である特許請求の範囲第1項記載の薄膜半導体素子。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は水素が添加された非晶質シリコンからなる半導体層、非晶質性の絶縁層等からなる薄膜半導体素子に関する。

〔従来技術〕

近年、ガラス等の基板上に非晶質シリコン等の半導体層、絶縁膜等を積層して形成されるトランジスタ(Thin Film Transistor)等の薄膜半導体素子が実用化されている。この種の薄膜半導体素子は、アクティブマトリックス型液晶ディスプレイの駆動素子として好適である。アクティブマトリックス型液晶ディスプレイでは、各画素夫々を独立駆動して表示制御するので、各画素夫々を比較的大電力にて駆動でき、画素のコントラスト比が大きくなるので美しい画面表示が可能である。そして特にアクティブマトリックス型液晶ディスプレイの駆動素子として、低コストにて製作できるという利点を有するアモルファスシリコン(a-Si)を使用した薄膜トランジスタ(以下a-Si TFTという)が利用されている。

第7図は従来のa-Si TFTの1素子の断面構造図であり、図中1はガラス基板、2はガラス基板1上にパターン形成されたゲート電極を示す。ゲート電極2表面を含んでガラス基板1上面には、SiNxまたはSiOx等からなる絶縁膜3、a-Si:H(水

素原子が添加されたアモルファスシリコン) 半導体層4、 $n^+$ -a-Si:H オーミックコンタクト層5がこの順に積層形成されている。オーミックコンタクト層5はゲート電極2上の部分が欠除されており、この部分のa-Si:H 半導体層4上面には保護膜6が形成されている。またオーミックコンタクト層5の上面には、通気口のギャップ(このギャップ間に前記保護膜6が位置している)を隔てて、何れも下層から順にCr層20、Al層21の積層体からなるドレイン電極7及びソース電極8が形成されている。

ところでa-Si TFTの性能及び安定性の向上、つまりドレイン電流のドリフト特性向上には絶縁膜3の膜質または絶縁膜3と半導体層4との界面特性が重要であることは勿論であるが、これ以外にオーミックコンタクト層5がa-Si TFTの性能及び安定性の向上に影響を及ぼすことが知られている。(発明が解決しようとする問題点)

第7図に示すような構造を有するa-Si TFTのエネルギーバンド図を第8、9図に示す。第8図は

ゲート電極を正バイアスとした場合のエネルギーバンド図であり、第9図はゲート電極を負バイアスとした場合のエネルギーバンド図であり、図中 $E_c$ は伝導帯、 $E_v$ はフェルミ準位、 $E_i$ は価電子帯を夫々示す。a-Si:H 半導体層4は $n^+$ 型であるので多数キャリアは電子10であり、ゲート電極を正バイアスとした場合(第8図参照)には、a-Si:H 半導体層4に誘起された電子10はソース・ドレイン電極間の電界によりソース電極またはドレイン電極方向に流れる。この際ソース・ドレイン電極間には低抵抗の $n^+$ -a-Si:H オーミックコンタクト層5が存在するので、電子10は電極側に到達できる。

ゲート電極を負バイアスとした場合(第9図参照)には、多数の正孔11が誘起される。この正孔11は通常はポテンシャルバリア( $\phi_s$ )のためにソース電極またはドレイン電極側に流れることはないが、ソース・ドレイン電極間の電界が高い場合には、ポテンシャルバリア( $\phi_s$ )を乗り越えてソース電極またはドレイン電極方向に流れ込み、

オフ電流(ドレイン電流)が増加するという欠点があった。

液晶ディスプレイでは、液晶層に電荷を一定時間保持することにより、文字、画像等を表示しているが、上述のオフ電流が大きい場合には液晶層に電荷を一定時間保持することが不可能となってコントラスト比が低下する等表示特性が劣化するという問題点があった。

本発明はかかる事情に鑑みてなされたものであり、オーミックコンタクト層に炭素、窒素または酸素のうち少なくとも一種の原子を含有させてオーミックコンタクト層の一部または全部のエネルギーバンドギャップを広くする構成とすることにより、ゲート電極を負バイアスとした場合に、正孔がポテンシャルバリアを乗り越えることによって流れるオフ電流を減少させ、液晶ディスプレイの駆動素子として使用した場合にあって、その液晶ディスプレイが良好な表示特性を得ることができ、薄膜半導体素子を提供することを目的とする。(問題点を解決するための手段)

本発明に係る薄膜半導体素子は、水素が添加された非晶質シリコンからなる半導体層上に積層形成されたオーミックコンタクト層を備えた薄膜半導体素子において、前記オーミックコンタクト層は、その一部または全部に炭素、窒素または酸素のうち少なくとも一種の原子が構成原子として含有されていることを特徴とする。

(作用)

本発明の薄膜半導体素子にあっては、オーミックコンタクト層に炭素、窒素または酸素の原子が少なくとも一種含有されているので、そのエネルギーバンドギャップが従来より広い。この結果ゲート電極を負バイアスとした場合に、誘起された正孔がポテンシャルバリアを乗り越えられないのでオフ電流が減少する。

(実施例)

以下本発明をその実施例を示す図面に基づき具体的に説明する。第1図は本発明に係る薄膜半導体素子の断面構造図であり、図中1はガラス基板を示す。ガラス基板1上面にはCrからなるゲート

電極2がパターン形成されている。ゲート電極2の膜厚は300Å~3000Åとし、より望ましくは500Å~1500Åとする。なおゲート電極2はMo、TaまたはNi-Cr等から形成されてもよい。ゲート電極2表面を含んでガラス基板1上面には、 $\text{Si}_3\text{N}_4$ からなる絶縁膜3が形成されている。絶縁膜3の膜厚は500Å~5000Åとし、より望ましくは1000Å~3000Åとする。なお絶縁膜3は $\text{SiO}_2$ 、 $\text{SiO}_x\text{Ny}$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{Al}_2\text{O}_3$ 等から形成されてもよい。また絶縁膜3上面にはa-Si:H半導体層4が積層形成されている。a-Si:H半導体層4の膜厚は、TFTのオフ電流及び光照射時の電流量に大きく影響するが、通常は200Å~4000Åとし、より望ましくは500Å~3000Åとする。

a-Si:H半導体層4の上面には、ゲート電極2が形成されている部分を除いてオーミックコンタクト層5が積層形成されている。オーミックコンタクト層5の膜厚は100Å~1000Å、より望ましくは100Å~500Åとする。オーミックコンタクト層5は2層の積層体からなり、下層はn<sup>+</sup>a-Si

:H、N層5a、上層はn<sup>+</sup>a-Si:H層5bであって、n<sup>+</sup>a-Si:H層5bはn<sup>+</sup>a-Si:H、N層5aよりその膜厚は厚い。オーミックコンタクト層5にN原子が多く含有されると、その比抵抗が増大して良好なオーミック特性が得られなくなるので、N原子の含有率は30原子%以下が適量であり望ましくは10原子%以下とする。またn<sup>+</sup>a-Si:H、N層5aの電気的特性は、暗比抵抗が $10^3 \Omega \cdot \text{cm} \sim 10^5 \Omega \cdot \text{cm}$ であり、より望ましくは $10^3 \Omega \cdot \text{cm} \sim 10^4 \Omega \cdot \text{cm}$ とし、また活性化エネルギーは0.4eV~0.2eVであり、より望ましくは0.35eV~0.2eVとする。一方n<sup>+</sup>a-Si:H層5bの電気的特性は、暗比抵抗が $10^3 \Omega \cdot \text{cm} \sim 10^4 \Omega \cdot \text{cm}$ であり、より望ましくは $10^4 \Omega \cdot \text{cm} \sim 10^5 \Omega \cdot \text{cm}$ とし、また活性化エネルギーは0.4eV~0.1eVであり、より望ましくは0.3eV~0.2eVとする。

オーミックコンタクト層5 (n<sup>+</sup>a-Si:H、N層5a及びn<sup>+</sup>a-Si:H層5b) が形成されていない部分のa-Si:H半導体層4の上面には、SiN膜からなる保護膜6が形成されている。またオーミック

コンタクト層5 (n<sup>+</sup>a-Si:H層5b) の上面には、適宜幅のギャップ (このギャップ間に前記保護膜6が位置している) を隔てて、何れも下層からCr層20、Al層21の積層構造からなるドレイン電極7及びソース電極8が形成されている。保護膜6はドレイン電極7及びソース電極8間のチャンネル部におけるリーク電流を防止すると共に、TFTの長期安定性を維持するために重要である。なお保護膜6は有機系絶縁物を塗布して形成してもよい。この保護膜6の比抵抗は $10^{12} \Omega \cdot \text{cm}$ 以上、より望ましくは $10^{14} \Omega \cdot \text{cm}$ 以上とし、また膜厚は500Å~5000Å、より望ましくは1000Å~3000Åとする。ドレイン電極7及びソース電極8は、通常は高融点金属とAlとの積層構造からなり、上述のCr/Al以外にMo/Al、Ti/Al等の組合せが用いられる。高融点金属の膜厚は100Å~2000Å、より望ましくは200Å~1000Åとし、Alの膜厚は2000Å~2μm、より望ましくは5000Å~1.5μmの範囲とする。

次にこのような構成のa-Si TFTの製造方法につ

いて説明する。十分に洗浄された5インチ角のガラス基板1にCrを厚さ800Åにてスパッタ蒸着し、フォトリソ加工によりゲート電極2をパターン形成する。なおチャンネル長を10μm、チャンネル幅を150μmとする。

ゲート電極2が形成されたガラス基板1をプラズマCVD装置に装着し、拡散ポンプによりCVD装置内を高真空に引くと共に、ガラス基板1の加熱を開始し、その温度が300℃に安定するように調節する。CVD装置内の真空度が $5 \times 10^{-4}$  Torrにまで低下した時点で拡散ポンプからメカニカルブースタポンプに切換えると共に、マスフローコントローラにより、CVD装置内に100%モノシラン( $\text{SiH}_4$ )ガスを8sccm、アンモニア( $\text{NH}_3$ )ガスを40sccm、窒素( $\text{N}_2$ )ガスを80sccm導入し、反応圧力が0.5 Torrに維持されるように調節する。

上述のようにガス流量及び反応圧力が安定した状態で13.56MHzのRFパワーを50Wに維持して印加し、20分間に亘ってSiN膜からなる絶縁膜3を積層させる。このようにして得られる絶縁膜3は、

屈折率が1.82、光学的バンドギャップが5.1eV、比誘電率が6.4であった。

次いで同一のCVD装置内で絶縁膜3上に、a-Si:H半導体層4を厚さ1500Åにて積層形成する。この際の形成条件は、100%モノシランガスの流量が8sccm、反応圧力が0.5 Torr、RFパワーが100 Wであって印加時間が3分間であった。このようにして得られるa-Si:H半導体層4の電気的特性は暗比抵抗が $1 \times 10^{10} \Omega \cdot \text{cm}$ 、活性化エネルギーが0.7eVであり、光学的特性は光学的バンドギャップが1.75eVであった。

次に同一のCVD装置内でa-Si:H半導体層4上に、保護膜6となるべきSiN膜を厚さ1500Åにて成膜する。即ち、100%モノシランガスの流量を8sccmに、アンモニアガスの流量を40sccmに、窒素ガスの流量を80sccmに、反応圧力を0.5 Torrにそれぞれ調節して維持し、50 WのRFパワーにて10分間に亘って成膜する。

その後、以上の処理が施されたガラス基板1をCVD装置内から取り出し、ソース電極、ドレイン

電極及びチャンネルに相当する部分以外の前記SiN膜及びa-Si:H半導体層4を、フォトリソングにより除去する。次いでソース電極、ドレイン電極に相当する部分の前記SiN膜をフォトリソングにより除去し、その部分のa-Si:H半導体層4の表面を露出させる。

以上の処理が済んだ後、再度ガラス基板1をCVD装置内に装着する。

ガラス基板1の温度を120℃に維持し、マスフローコントローラを介して原料ガスとして100%モノシランガス10sccm、1% H<sub>2</sub>ベースのホスフィン(PH<sub>3</sub>)ガス40sccm及び窒素ガス20sccmを導入し、反応圧力0.3 Torr、RFパワー100 Wにて30秒間に亘って、n<sup>+</sup>-a-Si:H層5aを積層形成する。次いで真空容器内を十分に排気した後、マスフローコントローラを介して原料ガスとして100%モノシランガス10sccm及び1% H<sub>2</sub>ベースのホスフィンガス30sccmを導入し、反応圧力0.3 Torr、RFパワー100 Wにて3分間に亘って、n<sup>+</sup>-a-Si:H層5bを積層形成する。このようにして形成されたn<sup>+</sup>

a-Si:H層5aは、膜厚が50Å、比抵抗が $2 \times 10^{-4} \Omega \cdot \text{cm}$ 、活性化エネルギーが0.35eV、N原子の含有率が5原子%であり、またn<sup>+</sup>-a-Si:H層5bは、膜厚が300Å、比抵抗が $2 \times 10^{-4} \Omega \cdot \text{cm}$ 、活性化エネルギーが0.3eVであった。

以上のようにしてオーミックコンタクト層5が形成されたガラス基板1をCVD装置から取出し、ドレイン電極及びソース電極を形成しようとする部分以外をレジストで覆った後、スパッタ装置内に装着し、Cr層を全面にわたり厚さ200Åにて蒸着する。これをスパッタ装置から取出してリフトオフによりドレイン電極及びソース電極部分以外のレジストをオーミックコンタクト層5及びCr層と共に除去する。次いで電子ビーム蒸着によりAl層を厚さ1μmにて積層した後、フォトリソングによりドレイン電極及びソース電極部分以外のAl層を除去してドレイン電極7及びソース電極8を作成する。最後にフォトリソングによりゲート電極2の端子部分の絶縁膜を除去してコンタクトホールを形成する。

以上のようにして製造されたa-Si TFTの諸特性を測定した結果、電界移動度が $0.5 \text{ cm}^2/\text{Vsec}$ 、しきい値電圧が3 Vであり、またドレイン電圧を10 Vとした場合、ゲート電圧を20 Vとしたときのドレイン電流が $1 \times 10^{-11} \text{ A}$ 、ゲート電圧を0 Vとしたときのドレイン電流が $1 \times 10^{-11} \text{ A}$ であった。更にゲート電圧を-10 Vとした場合、ドレイン電圧を10 Vとしたときのドレイン電流が $2 \times 10^{-11} \text{ A}$ 、ドレイン電圧を20 Vとしたときのドレイン電流が $2.3 \times 10^{-11} \text{ A}$ であった。なお従来のa-Si TFTにおいてゲート電圧を-10 Vとした場合、ドレイン電圧を10 Vとしたときのドレイン電流が $1 \times 10^{-11} \text{ A}$ 、ドレイン電圧を20 Vとしたときのドレイン電流が $5 \times 10^{-11} \text{ A}$ であり、本発明のa-Si TFTは従来のものに比してゲート電極を負バイアスとした場合にオフ電流(ドレイン電流)が減少する。

次に第1図に示すような構造のa-Si TFTの他の製造方法について説明する。

前述の製造方法と同様にガラス基板1上に、ゲート電極2、絶縁膜3、半導体層4、及び保護膜

6となるSiN膜を順次積層形成した後、フォトリソングによりSiN膜(厚さ1500Å)を除去する際に、ドレイン電極及びソース電極となる部分について完全には除去せず、厚さ100Å程度は残しておき、次にCVD装置内にて前述の製造方法と同様の条件にて $n^+a\text{-Si:H}$ 層5bをこの上に積層形成する。次いで前述の製造方法と同様にしてソース電極7、ドレイン電極8及びコンタクトホールを作成する。最後に250℃の水素雰囲気にて1時間アニール処理する。この製造方法では、保護膜6となるべきSiN膜をドレイン電極及びソース電極となる部分において残存させ、その残存部分をアニール処理して $n^+a\text{-Si:H}$ 層5aとなす点が前述の製造方法とは異なっている。

このような方法にて製造された $a\text{-Si}$  TFTの特性を測定した結果、電界移動度が $0.45\text{ cm}^2/\text{Vsec}$ 、しきい値電圧が3.5Vであり、またドレイン電圧を10Vとした場合、ゲート電圧を20Vとしたときのドレイン電流が $7 \times 10^{-10}\text{ A}$ 、ゲート電圧を0Vとしたときのドレイン電流が $8 \times 10^{-13}\text{ A}$ であった。

次に第3図～第6図に示す如き、本発明の半導体素子におけるエネルギーバンド図に基づきオフ電流について説明する。第3、4図は第1図に示す構造の半導体素子のエネルギーバンド図を示し、第3図はゲート電極を正バイアスとした場合のエネルギーバンド図であり、第4図はゲート電極を負バイアスとした場合のエネルギーバンド図である。オーミックコンタクト層5は $n^+a\text{-Si:H}$ 層5aと $n^+a\text{-Si:H}$ 層5bとの積層構造となっているので、ポテンシャルバリアの高さは $\phi_A$ となり(第3図参照)、逆バイアス時において誘起された正孔11は高さ $\phi_A$ のポテンシャルバリアを越えることができず、ソース電極またはドレイン電極方向に流れ込まない。

また第5、6図は第2図に示す構造の半導体素子のエネルギーバンド図を示し、第5図はゲート電極を正バイアスとした場合のエネルギーバンド図であり、第6図はゲート電極を負バイアスとした場合のエネルギーバンド図である。この実施例においても第3、4図のエネルギーバンド図と同様に、逆

更にゲート電圧を-10Vとした場合、ドレイン電圧を10Vとしたときのドレイン電流が $8 \times 10^{-13}\text{ A}$ 、ドレイン電圧を20Vとしたときのドレイン電流が $3.5 \times 10^{-13}\text{ A}$ であって、安定したオフ電流特性を示している。

第2図は本発明の半導体素子の他の実施例を示す断面構造図であり、オーミックコンタクト層5以外は第1図に示す前述の実施例と同一であるので、ここでは説明を省略する。この実施例では前述の実施例とは異なり、オーミックコンタクト層5は $n^+a\text{-Si:H}$ 層からなる単層構造をなしている。この実施例のオーミックコンタクト層5の膜厚は20Å～800Å、より望ましくは50Å～300Åとし、またその電気的特性は、暗比抵抗が $10^4 \Omega \cdot \text{cm} \sim 10^5 \Omega \cdot \text{cm}$ 、より望ましくは $10^3 \Omega \cdot \text{cm} \sim 10^4 \Omega \cdot \text{cm}$ とし、また活性化エネルギーは0.4eV～0.2eV、より望ましくは0.35eV～0.2eVとする。またオーミックコンタクト層5( $n^+a\text{-Si:H}$ 層)に含有されるN原子の含有量は、30原子%以下が適量であり望ましくは10原子%以下とする。

バイアス時において誘起された正孔11は高さ $\phi_A$ のポテンシャルバリアを越えることができず、正孔11は両電極側に流れることができない。

従って本発明の半導体素子においては、誘起された正孔がポテンシャルバリアを越えることができないので、ゲート電極を負バイアスとした場合に流れるオフ電流を小さくすることができる。

なお本実施例ではN原子が構成原子としてオーミックコンタクト層に含有されている場合について説明したが、これに限らず炭素または酸素が構成原子として含有されていてもよいことは勿論である。またこれらの原子が構成原子として複数種含有されていてもよい。

(効果)

以上詳述した如く本発明の半導体素子では、オーミックコンタクト層の一部または全部に窒素等の原子を構成原子として含有しているため、その一部または全部のエネルギーバンドギャップが広くなり、ゲート電極を負バイアスとした場合において正孔がポテンシャルバリアを越えることによ

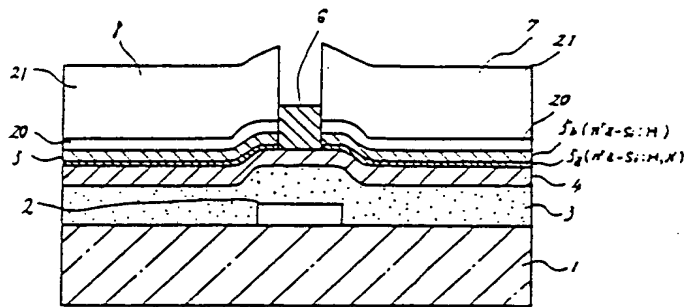
て生じるオフ電流が減少する。この結果、本発明の半導体素子を液晶ディスプレイの駆動素子として使用した場合には、その液晶ディスプレイが良好な表示特性を示すことができる。

#### 4. 図面の簡単な説明

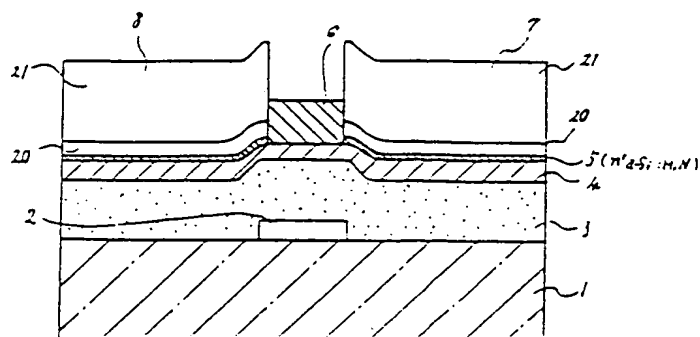
第1図は本発明の半導体素子の断面構造図、第2図は本発明の他の実施例の断面構造図、第3図～第6図は本発明の半導体素子のエネルギーバンド図、第7図は従来の半導体素子の断面構造図、第8図～第9図は従来の半導体素子のエネルギーバンド図である。

1…ガラス基板 2…ゲート電極 3…絶縁膜  
4…a-Si:H 半導体層 5…オーミックコンタクト層  
5a…n'-a-Si:H,N層 5b…n'-a-Si:H層  
6…保護膜 7…ドレイン電極 8…ソース電極

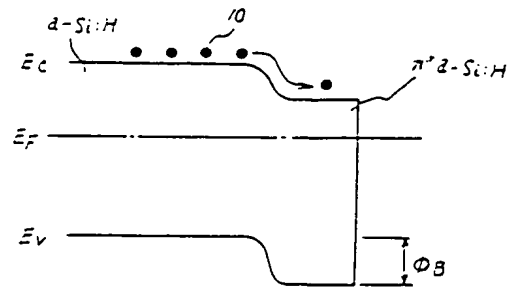
特許出願人 住友金属工業株式会社  
代理人 弁理士 河野 登 夫



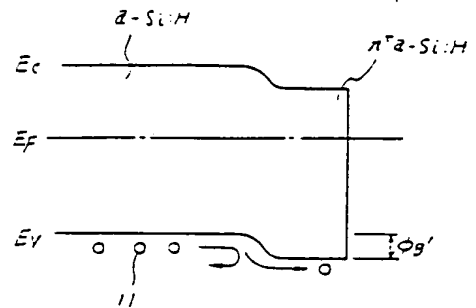
第 1 図



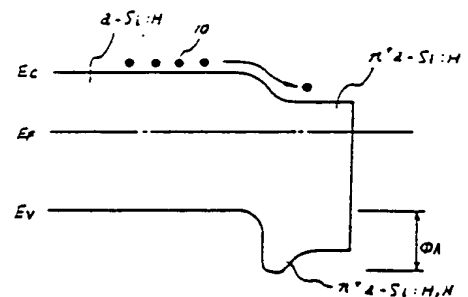
第 2 図



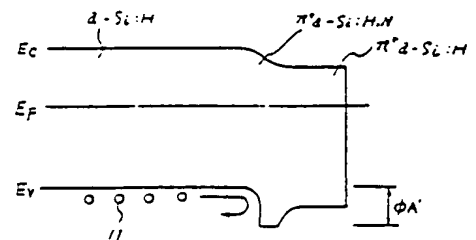
第 8 図



第 9 図



第 3 図



第 4 図

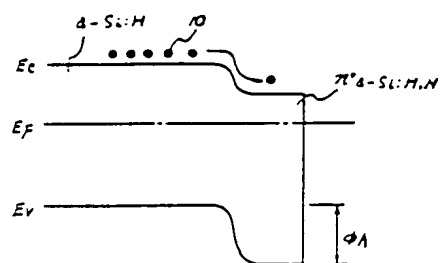


図 5

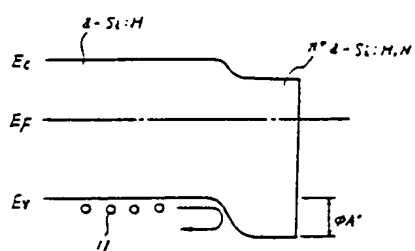


図 6

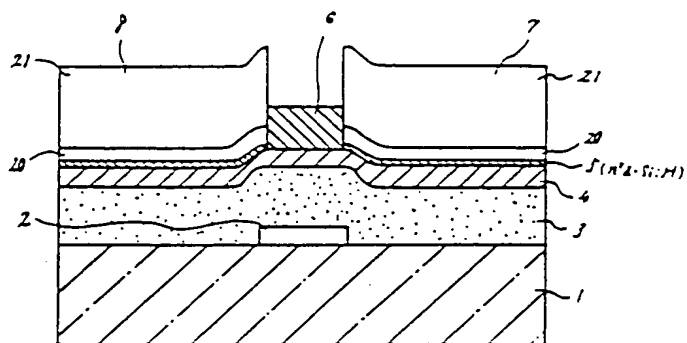


図 7